



Universitas Gadjah Mada

Fakultas Teknik

Departemen Teknik Elektro dan Teknologi Informasi

Program Sarjana Program Studi Teknik Elektro

TKEE262112

Teknik Digital

INFORMASI MATA KULIAH

SKS	3
Semester	1
Status MK	Wajib
Klasifikasi MK	Topik Engineering
Kode MK Prasyarat	-

CPL DAN CPMK

CPMK		CPL	Metode Asesmen
CPMK 1	Mahasiswa mampu menghitung sistem bilangan digital, berikut konversinya dan operasi aritmatika dasarnya.	CPL 1 <i>Fundamental and Engineering Knowledge</i>	Tugas UTS
CPMK 2	Mahasiswa mampu menganalisis persamaan Boolean serta mengimplementasikan dalam rangkaian kombinasional.	CPL 1 <i>Fundamental and Engineering Knowledge</i>	Tugas UTS
CPMK 3	Mahasiswa mampu merancang rangkaian kombinasional dasar.	CPL 1 <i>Fundamental and Engineering Knowledge</i>	Tugas UAS
CPMK 4	Mahasiswa mampu memahami proses antarmuka sistem digital dan analog, serta penguasaan tool EDA.	CPL 5 <i>Modern Tools Utilization</i>	Tugas UAS

DESKRIPSI SINGKAT MATA KULIAH

Mata kuliah Teknik Digital mencakup topik antara lain : Logika Digital, Aljabar Boolean, Rangkaian Logika Kombinasional dan Sekuensial, dan Antarmuka Digital Analog. Mata kuliah ini meletakkan dasar untuk sistem digital tingkat lanjut seperti mikroprosesor dan perancangan sistem digital/komputer. Mahasiswa diwajibkan untuk mengambil mata kuliah Matematika Diskrit sebelum mengambil mata kuliah ini.

REFERENSI



1	Givone, D.D., 2003, Digital Principles and Design, McGraw-Hill, New York		
2	Leach, D.P., Malvino, A.P., Saha, G., 2011, Digital Principles and Application, McGraw-Hill, New Delhi		
3	Tocci, R.J., Widmer, N.S., Moss, G.L., 2007, Digital Systems Principles and Applications, Prentice-Hall, Inc., New Jersey		
4	Moris Mano, M., Ciletti, M.D., 2013, Digital Design with an Introduction to the Verilog HDL, fifth ed. Pearson Education, Inc., publishing as Prentice Hall, New Jersey		
5	John F. Wakerly, 2002, Digital Design Principles and Practices, 7 ed, Prentice-Hall International		
6	Stephen Brown and Zvonko Vranesic, 2022, Fundamentals of Digital Logic with Verilog Design, McGraw-Hill		
7	Anil K. Maini, 2027, Digital Electronics Principles, Devices and Applications, Prentice-Hall International.		
TOPIK			
Topik	Deskripsi	Metode Penyampaian	CPMK
Topik #1	1. Sistem Bilangan Digital dan Kode 1.1 Sistem Bilangan dan Konversi Bilangan Desimal, Biner, Hexademimal 1.2 Kode Grey, BCD, dan ASCII	Ceramah, Diskusi, dan Tanya Jawab	CPMK 1
Topik #2	2. Aritmatika Digital 2.1 Presentasi Bilangan Negatif (Sign Bit, 1's complement, dan 2's complement) 2.2 Operasi Penjumlahan dan Pengurangan Biner 2.3 Operasi Perkalian dan Pembagian Biner 2.4 Operasi Bilangan Floating Point (Single Precision dan Double Precision)	Ceramah, Diskusi, dan Tanya Jawab	CPMK 1
Topik #3	3. Aljabar Boolean 3.1 Gerbang Logika Dasar (AND, OR, NOT, NAND, NOR dan XOR) 3.2 Teorema Boolean dan Teorema De'Morgan 3.3 Universalitas Gerbang NAND dan NOR 3.4 Implementasi Fungsi/Ekspresi Aljabar Boolean	Ceramah, Diskusi, dan Tanya Jawab	CPMK 2
Topik #4	4. Rangkaian Logika Kombinasional 4.1 Rumus Kanonik Maxterm dan Minterm 4.2 Bentuk Persamaan Sum of Product dan Product of Sum 4.3 Rangkaian Kombinasional dari Bentuk Persamaan Sum of Product dan Product of Sum	Ceramah, Diskusi, dan Tanya Jawab	CPMK 2



Topik #5	5. Komponen Digital MSI 5.1 Binary Adder – Subtractor 5.2 Comparators 5.3 Decoder-Encoder 5.4 Multiplexer-Demultiplexer	Ceramah, Diskusi, dan Tanya Jawab	CPMK 2
Topik #6	6. Penyederhanaan Rangkaian Kombinasional 6.1 Penyederhanaan Rangkaian Kombinasional dengan Pemanfaatan Teorema Boolean 6.2 Penyederhanaan Rangkaian Kombinasional dengan Peta Karnaugh 6.3 Penyederhanaan Rangkaian Kombinasional dengan Teorema Quine Mc'Cluskey	Ceramah, Diskusi, dan Tanya Jawab	CPMK 2
UJIAN TENGAH SEMESTER			
Topik #7	7. Verilog untuk Rangkaian Kombinasional 7.1 Operator Kondisional 7.2 Statemen If-Else 7.3 Statemen Case 7.4 For Loop 7.5 Generate Construct, Task dan Function	Ceramah, Diskusi, dan Tanya Jawab	CPMK 4
Topik #8	8. Rangkaian Logika Sequential 8.1 Latch dan Flip-Flop (Reset-Set, JK, D, D Latch 8.2 Register (PIPO, SISO, SIPO, PISO) 8.3 Counter Biner (Asynchronous, Synchronous, Up, Down)	Ceramah, Diskusi, dan Tanya Jawab	CPMK 3
Topik #9	9. Rangkaian Logika Sequential 9.1 State Diagram, State table, dan State Assignment 9.2 Penggunaan FlipFlop dan Penurunan Next-State dan Ekspresi Output 9.3 Timing Diagram 9.4 One Hot Encoding 9.5 Mealy State Model 9.6 Finite State Machine menggunakan CAD Tool dan contoh 9.7 Diagram Algoritma State Machine (ASM)	Ceramah, Diskusi, dan Tanya Jawab	CPMK 3
Topik #10	10. Analog to Digital Converter dan Digital to Analog Converter 10.1 D/A Conversion 10.2 D/A Circuit 10.3 A/D Conversion	Ceramah, Diskusi, dan Tanya Jawab	CPMK 4



	10.4. Successive-Approximation ADC 10.5. Flash ADC		
UJIAN AKHIR SEMESTER			
PENYUSUN			
1	Ir. Addin Suwastono, S.T., M.Eng., IPM.		
2	Prof. Dr. Ir., Risanuri Hidayat, M.Sc.		

